

同行专家业内评价意见书编号: 20250854438

**附件1**

**浙江工程师学院（浙江大学工程师学院）  
同行专家业内评价意见书**

姓名: 张舒欣

学号: 22260060

申报工程师职称专业类别（领域）: 电子信息

**浙江工程师学院（浙江大学工程师学院）制**

**2025年05月15日**



## 填表说明

一、本报告中相关的技术或数据如涉及知识产权保护、军工项目保密等内容，请作脱密处理。

二、请用宋体小四字号撰写本报告，可另行附页或增加页数，A4纸双面打印。

三、表中所涉及的签名都必须用蓝、黑色墨水笔，亲笔签名或签字章，不可以打印代替。

四、同行专家业内评价意见书编号由工程师学院填写，编号规则为：年份4位+申报工程师职称专业类别(领域)4位+流水号3位，共11位。



## 一、个人申报

**（一）基本情况【围绕《浙江工程师学院（浙江大学工程师学院）工程类专业学位研究生工程师职称评审参考指标》，结合该专业类别(领域)工程师职称评审相关标准，举例说明】**

### 1. 对本专业基础理论知识和专业技术知识掌握情况(不少于200字)

在课程学习中，理解并掌握了电子信息专业相关的基础理论知识，如模拟电路、数字电路、模拟集成电路、数字集成电路、半导体物理等，同时，在工程实践中系统运用并深化了电子信息工程领域的多项专业知识，具体包括：在传感器技术方面，掌握了红外传感器、振动传感器等的工作原理与信号特征提取方法；在图像处理领域，掌握了YOLOv8目标检测算法的网络架构，学习了基于OpenCV的视频流处理技术；在嵌入式系统开发方面，掌握了鸿蒙操作系统下的驱动开发及RK3588的开发方法。

### 2. 工程实践的经历(不少于200字)

在瑞立集团进行专业实践的过程中，我设计了一种数据源传感器设备，该设备具有多模态信息采集能力，能够实时捕获环境中的图像、声音、红外、振动、方位、位置等多维数据，并在设备端部署了先进的目标识别算法，能够有效地识别出人车目标。一方面，该传感器能够将检测到的环境信息以文本、语音、图像、视频的形式发送至边缘节点；另一方面，该传感器中部署目标检测算法，可以将算法处理后得到的情报信息发送至边缘节点。数据源传感器能够与边缘节点进行双向通信，实现数据的实时同步和反馈。在边缘节点上部署了一系列的算法，包括数据融合、分析、预测等，将传感器输出的数据进行进一步的知识化，提高数据的价值和可用性。

### 3. 在实际工作中综合运用所学知识解决复杂工程问题的案例（不少于1000字）

在瑞立集团进行专业实践的过程中，我设计了一种数据源传感器设备，该设备具有多模态信息采集能力，能够实时捕获环境中的图像、声音、红外、振动、方位、位置等多维数据，并在设备端部署了先进的目标识别算法，能够有效地识别出人车目标。一方面，该传感器能够将检测到的环境信息以文本、语音、图像、视频的形式发送至边缘节点；另一方面，该传感器中部署目标检测算法，可以将算法处理后得到的情报信息发送至边缘节点。数据源传感器能够与边缘节点进行双向通信，实现数据的实时同步和反馈。在边缘节点上部署了一系列的算法，包括数据融合、分析、预测等，将传感器输出的数据进行进一步的知识化，提高数据的价值和可用性。

系统方案设计以凌蒙派4A为系统主控板，操作系统为鸿蒙系统，主要完成系统各个电路的配置，以太网模块的控制等；NanoPC-T6作为编码识别板，完成目标检测算法的运行；KZ208-01为自制控制板，检测红外和振动信号，同时实现对各模块电源供电开关状态的控制，以便达到最优的功耗设计；摄像头采用星光摄像头模块IMX462和长焦镜头，完成视频信号的初始采集；振动传感器使用SW-

18010P，采集车振动信号，红外传感器AM312模块采集人体红外信号，完成对设备的唤醒；网口实现与电台的通信，完成信息传输功能，具体包括远程传输报文和控制指令，视频拉流等，实现监控周边环境的目的，卫星测量模块采用HelixCompass240，实现定位定向功能。按照上述方案设计及各模块连接关系，研制出原型样机，采用YOLOv8算法进行优化，以实现人车目标检测的功能，充分利用Rockchip芯片上的硬件加速器，在传感器上部署并实现了目标识别算法。进行系统架构综合测试，包括开发板与各传感器模块的连接测试、视频拉流、目标识别等功能测试、识别距离等距离测试、验证了各接口的稳定性和可靠性等，确保系统各模块协同工作及性能稳定。

对传感器的功能和性能进行测试，测试结果表明，数据源传感器能够检测到环境中的图像、





声音、红外、振动、方位、位置信息，并以文本、语音、图像、视频的形式发送至边缘节点，同时，该传感器中部署目标检测算法，可以将算法处理后得到的情报信息发送至边缘节点。

该多模态传感器系统具有广泛的应用前景，包括智能安防、自动驾驶和智能家居等领域。其通过集成图像、声音、红外等多种传感器数据，能够实现实时的目标识别和环境监测，从而提升公共安全、交通管理和家庭安全的智能化水平。这种技术的应用不仅可以提高系统的响应速度和准确性，还能推动智能化设备的普及和发展。

在对基于嵌入式平台部署目标检测算法的系统的研究中，数据传输过程中存在大量功耗性能损失。为进一步提升系统算力，对目标检测系统进行硬件实现的另一种思路是设计基于存算一体架构的神经网络加速电路。FeFET作为一种新兴的非易失性存储器极佳地弥补了CMOS和ReRAM器件存在的缺陷，因此，我进一步设计基于FeFET的存算阵列对功耗、算力等指标进行优化。

在电路层面，设计优化了基于FeFET的神经网络加速电路。首先，针对FeFET的高开关比特点带来的电流易变性问题，设计了在FeFET的漏极串联高阻值电阻构成的1FeFET-1R存算单元，并基于该存算单元构建交叉阵列，实现完全并行的乘累加运算。其次，设计作为存算阵列输出接口的5比特输出精度的感测ADC电路，将各模块相连形成神经网络加速电路，对其进行验证与测试。测试表明，设计的神经网络加速电路支持加速CNN中的关键运算，即乘累加运算，每列运算的平均能耗为151.41 fJ、延时为5.17 ns，电路级能效高达422.69 TOPS/W，较此前提出的SRAM与ReRAM方案分别取得了1.21倍和1.28倍的提升。

在系统应用层面，使用WAGE量化方法将网络中的权重值和激活值量化为4比特或8比特的整型数据，接着，采用按照卷积核空间位置进行分组映射的策略将量化后的权重值与激活值映射至设计的神经网络加速电路中。最后，在NeuroSim框架中模拟使用神经网络加速电路实现基于CIFAR10数据集的VGG8网络和基于CIFAR10

和ImageNet数据集的ResNet18网络的推理过程。其中，在ADC输出精度为5比特、输入值和权重值量化精度均为8比特的情况下，设计的神经网络加速电路实现CIFAR10数据集上VGG8网络推理的准确率达到91.89%；在ADC输出精度为5比特、输入值和权重值均量化为4比特的情况下，ResNet18网络在CIFAR10数据集上实现的能效比为11.33

TOPS/W，在ImageNet数据集上实现的能效比为12.71 TOPS/W。

因此，通过器件-电路-

系统跨层次设计，进一步提出了一种基于FeFET的存算一体神经网络加速电路设计并测试了其性能，验证了基于FeFET的存算一体设计在边缘计算场景下的可行性，为高密度、低功耗AI芯片提供新的方案。



**（二）取得的业绩（代表作）【限填3项，须提交证明原件（包括发表的论文、出版的著作、专利证书、获奖证书、科技项目立项文件或合同、企业证明等）供核实，并提供复印件一份】**

**1. 公开成果代表作【论文发表、专利成果、软件著作权、标准规范与行业工法制定、著作编写、科技成果获奖、学位论文等】**

成果名称	成果类别 [含论文、授权专利（含发明专利申请）、软件著作权、标准、工法、著作、获奖、学位论文等]	发表时间/ 授权或申请时间等	刊物名称/ 专利授权或申请号等	本人排名/ 总人数	备注
Design and Optimization of FeFET Based CiM for Neural Network Acceleration	会议论文	2023年07月08日	ISED A 2023	1/6	EI会议收录

**2. 其他代表作【主持或参与的课题研究项目、科技成果应用转化推广、企业技术难题解决方案、自主研发设计的产品或样机、技术报告、设计图纸、软课题研究报告、可行性研究报告、规划设计方案、施工或调试报告、工程实验、技术培训教材、推动行业发展中发挥的作用及取得的经济社会效益等】**



<b>(三) 在校期间课程、专业实践训练及学位论文相关情况</b>	
课程成绩情况	按课程学分核算的平均成绩： 88 分
专业实践训练时间及考核情况(具有三年及以上工作经历的不作要求)	累计时间： 1 年（要求1年及以上） 考核成绩： 83 分
<b>本人承诺</b>	
个人声明：本人上述所填资料均为真实有效，如有虚假，愿承担一切责任，特此声明！	
申报人签名：张舒欣	







浙江大学研究生院  
攻读硕士学位研究生成绩表

学号：22260060		姓名：张舒欣		性别：女		学院：工程师学院				专业：电子信息				学制：2.5年			
毕业时最低应获：26.0学分				已获得：28.0学分						入学年月：2022-09				毕业年月：			
学位证书号：						毕业证书号：						授予学位：					
学习时间		课程名称			备注	学分	成绩	课程性质	学习时间		课程名称			备注	学分	成绩	课程性质
2021-2022学年春季学期		研究生英语基础技能				1.0	免修	公共学位课	2022-2023学年冬季学期		车辆信息传感与通信技术				3.0	89	专业学位课
2021-2022学年春季学期		研究生英语				2.0	免修	公共学位课	2022-2023学年冬季学期		产业技术发展前沿				1.5	84	专业学位课
2022-2023学年秋季学期		新时代中国特色社会主义思想理论与实践				2.0	90	公共学位课	2022-2023学年春季学期		数学建模				2.0	95	专业选修课
2022-2023学年秋季学期		工程技术创新前沿				1.5	92	专业学位课	2022-2023学年春季学期		自然辩证法概论				1.0	87	公共学位课
2022-2023学年秋季学期		机器学习				3.0	95	专业选修课	2022-2023学年春夏学期		工程伦理				2.0	88	公共学位课
2022-2023学年冬季学期		车辆控制理论与技术				3.0	88	专业学位课	2022-2023学年春夏学期		高阶工程认知实践				3.0	87	专业学位课
2022-2023学年秋冬学期		研究生论文写作指导				1.0	92	专业学位课			硕士生读书报告				2.0	通过	

说明：1. 研究生课程按三种方法计分：百分制，两级制（通过、不通过），五级制（优、良、中、及格、不及格）。

2. 备注中“\*”表示重修课程。

学院成绩校核章：  
成绩校核人：张梦依  
打印日期：2025-06-03



文章

时间不限

2025以来

2024以来

2021以来

自定义范围...

按相关性排序

按日期排序

不限语言

中文网页

简体中文网页

类型不限

评论性文章

Design and Optimization of FeFET Based CiM for Neural Network Acceleration

S Zhang, J Chen, Y Wang, Z Jia, C Zhuo, X Yin

2023 International Symposium of Electronics Design Automation (ISED), 2023 · ieeexplore.ieee.org

In the era of the Internet of Things and artificial intelligence, edge devices require low power consumption, realtime, and low hardware cost to address various information processing tasks and corresponding recognition, classification, and learning algorithm models. The compute-in-memory (CiM) architecture reduces the energy consumption and performance loss caused by data movement by integrating computing units into storage and has the potential to solve the "memory wall" problem caused by the Von Neumann

展开

☆ 保存

引用

相关文章

所有 2 个版本

以上显示的是最相近的搜索结果。 查看全部搜索结果

[PDF] google.com

# Design and Optimization of FeFET Based CiM for Neural Network Acceleration

Shuxin Zhang, Jian Chen, Yumeng Wang, Zhimin Jia, Cheng Zhuo, and Xunzhao Yin  
College of Information Science and Electronic Engineering, Zhejiang University, Hangzhou, China  
Email: xzyin1@zju.edu.cn

**Abstract**—In the era of the Internet of Things and artificial intelligence, edge devices require low power consumption, real-time, and low hardware cost to address various information processing tasks and corresponding recognition, classification, and learning algorithm models. The compute-in-memory (CiM) architecture reduces the energy consumption and performance loss caused by data movement by integrating computing units into storage and has the potential to solve the "memory wall" problem caused by the Von Neumann architecture, making it a promising direction. The emerging Ferroelectric Field Effect Transistor (FeFET), with its low write power consumption, high CMOS compatibility, and high switching current ratio, has become one of the leading non-volatile memories (NVMs), attracting many researchers to study its application in the CiM architecture. This paper presents a FeFET-based crossbar array design based on the improved 1FeFET-1Resistor (1F1R) memory cell for neural network acceleration. Such design supports the most critical operation in neural network, multiply-accumulate (MAC) operation. The 1F1R CiM cell proposed in this paper greatly reduces the current variability compared to the traditional FeFET CiM cell and improves the operating range of the input current. In addition, this paper uses a 5-bit precision analog-digital converter (ADC) as the output interface and benchmarks the crossbar array and ADC system in the LeNET neural network model. The results show that the array proposed in this paper can achieve a peak computing efficiency ratio of 1445.3TOPS/W.

**Keywords**—computing in memory, ferroelectric field effect transistor, neural network, multiply-accumulate operation, low power consumption

## I. INTRODUCTION

The era of the Internet of Things and artificial intelligence requires edge devices to have low power consumption, real-time processing, and low hardware cost. However, the traditional Von Neumann architecture leads to significant power consumption and performance losses due to the data movement between storage and processing. The emerging compute-in-memory (CiM) architecture reduces the data movement by embedding the computation process in the storage, which is promising in neural network accelerators, as intensive multiply-accumulation (MAC) operations are performed between the activations and weights.

The development of SRAM-based CiM architecture as neural network accelerators has made significant progress [1]. However, SRAM-based designs have a higher leakage consumption compared to designs based on non-volatile memory (NVM). Moreover, 6-T SRAM leads to a large chip area. Currently, compact CiM designs based on resistive

random access memory (RRAM) and ferroelectric field effect transistor (FeFET) have been proposed [2]. However, programming RRAM devices produces large write current, and the write power consumption of RRAM-based CiM circuits is significantly higher than that of FeFET and SRAM.

Regarding the aforementioned issue, FeFET as an emerging NVM device can overcome the shortcomings of CMOS and RRAM devices. The FeFET structure can achieve CiM functionality with only 1 to 2 transistors, thus saving chip area and reducing energy consumption and delay compared with SRAM based circuits. However, existing FeFET-based CiM design for neural network accelerator [3] suffers from degraded parallelism, as multiple FeFETs share a current limiter, and only a single FeFET can be accessed in one time. Such design requires access multiplexing for FeFET cells, thus wastes hardware resources.

This paper proposes a 1FeFET-1Resistor (1F1R) based CiM array to accelerate MAC calculation in neural networks. The design optimizes the prior 1FeFET based CiM design to improve the parallelism and cell utilization. The experimental results show that the proposed FeFET-based calculation array exhibits good linearity, high accuracy and low power consumption.

## II. BACKGROUND

### A. Overview of BCNN

Among deep neural networks, i.e., multi-layer neural networks [4], autoencoders [5], convolutional neural networks (CNNs) [6] and spiking neural networks [7], CNN is one of the representative algorithms, which adds convolutional layers and pooling layers to the traditional neural network, as shown in Figure 1.

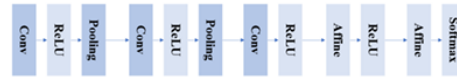


Fig. 1 A typical example of CNN model [8]

Binary Neural Network (BNN) converts the activation values and weights of the model into binary values, significantly reducing the storage space required for data and simplifying the computation of the neural network model. The binary version of CNN is binary convolutional neural network (BCNN). The convolutional layer of BCNN is shown in Figure 2.

经检索“Engineering Village”，下述论文被《Ei Compendex》收录。（检索时间：2025年3月21日）。

<RECORD 1>

Accession number:20233814757408

Title:Design and Optimization of FeFET Based CiM for Neural Network Acceleration

Authors:Zhang, Shuxin (1); Chen, Jian (1); Wang, Yumeng (1); Jia, Zhimin (1); Zhuo, Cheng (1); Yin, Xunzhao (1)

Author affiliation:(1) College of Information Science and Electronic Engineering, Zhejiang University, Hangzhou, China

Source title:2023 International Symposium of Electronics Design Automation, ISEDA 2023

Abbreviated source title:Int. Symp. Electron. Des. Autom., ISEDA

Part number:1 of 1

Issue title:2023 International Symposium of Electronics Design Automation, ISEDA 2023

Issue date:2023

Publication year:2023

Pages:225-229

Language:English

ISBN-13:9798350304510

Document type:Conference article (CA)

Conference name:2023 International Symposium of Electronics Design Automation, ISEDA 2023

Conference date:May 8, 2023 - May 11, 2023

Conference location:Nanjing, China

Conference code:192005

Publisher:Institute of Electrical and Electronics Engineers Inc.

Number of references:11

Main heading:Memory architecture

Controlled terms:Classification (of information) - Computing power - Digital storage - Electric power utilization - Field effect transistors - Green computing - Low power electronics - Network architecture - Neural network models

Uncontrolled terms:Analog-digital converter - Analogue-digital converters - Computing in memory - Crossbar arrays - Ferroelectric fieldeffect transistors (FeFET) - Low-power consumption - Lower-power consumption - Memory cell - Multiply accumulate operations - Neural-networks

Classification code:454 Environmental Engineering - 706.1 Electric Power Systems - 714.2 Semiconductor Devices and Integrated Circuits - 716.1 Information Theory and Signal Processing - 722 Computer Systems and Equipment - 722.1 Data Storage, Equipment and Techniques - 722.2 Computer Peripheral Equipment - 722.4 Digital Computers and Systems - 723 Computer Software, Data Handling and Applications - 723.4 Artificial Intelligence - 903.1 Information Sources and Analysis

DOI:10.1109/ISEDA59274.2023.10218485

Funding details: Number: 62104213,92164203, Acronym: NSFC, Sponsor: National Natural Science Foundation of China;Number: LD21F040003,LQ21F040006, Acronym: ZJNSF, Sponsor: Natural Science Foundation of Zhejiang Province;Number: 2022YFB4400300, Acronym: NKRDPC, Sponsor: National Key Research and Development Program of China;

Funding text:ACKNOWLEDGEMENT Thank GlobalFoundries for the simulation model. This work was supported in part by Zhejiang Provincial Natural Science Foundation (LD21F040003, LQ21F040006), NSFC (62104213, 92164203), National Key Research and Development Program of China (2022YFB4400300).

Database:Compendex

Compilation and indexing terms, Copyright 2025 Elsevier Inc.

注:

1. 以上检索结果来自 CALIS 查收查引系统。
2. 以上检索结果均得到委托人及被检索作者的确认。

